

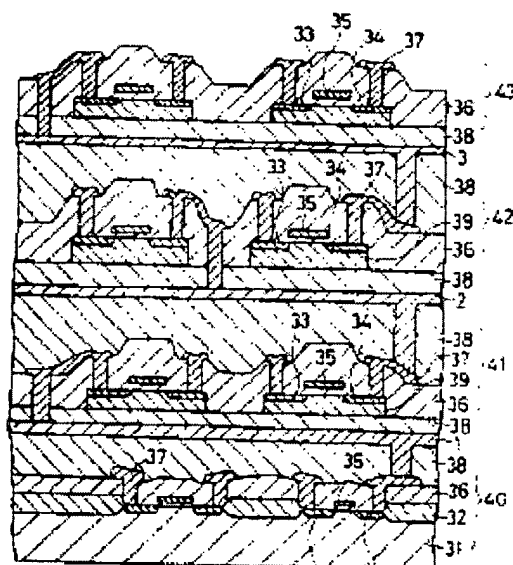
LAMINATED TYPE SEMICONDUCTOR DEVICE

Patent number: JP61180466
Publication date: 1986-08-13
Inventor: HIROSE SATOSHI; others: 06
Applicant: AGENCY OF IND SCIENCE & TECHNOL
Classification:
- international: H01L27/00
- european:
Application number: JP19850020111 19850206
Priority number(s):

Abstract of JP61180466

PURPOSE:To check cross talk of signal between an upper and a lower layer by a method wherein a conductor, whose electric potential is fixed, is disposed in an interlayer insulator of a three-dimensional circuit element.

CONSTITUTION:The first to the fourth layers 40, 41, 42, 43 work respectively with its function. The first layer circuit 40 represents a circuit which three graded contact of an inverter is performed, the second layer circuit 41 represents a NOR circuit, the third layer circuit 42 represents a NAND circuit and the fourth layer circuit 43 represents a photo diode and a transistor for switching. At the circuit 40, grounding potential is obtained from a P-type Si substrate 31 and a power source potential is obtained from the conductor 1. In the same way, the conductor 2 supplies commonly substrate potential to the circuit 41 and the circuit 42, and the conductor 3 supplies commonly substrate potential to the circuit 42 and the circuit 43. Since the electric potential of the conductor 1, 2, 3 are fixed to grounding potential or power source potential, signal cross talk of each interlayer is checked completely.



1, 2, 3...導電体
38...層間絶縁層
40~43...第1~第4層回路

Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A)

昭61-180466

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和61年(1986)8月13日

H 01 L 27/00

8122-5F

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 積層型半導体装置

⑮ 特 願 昭60-20111

⑯ 出 願 昭60(1985)2月6日

⑰ 発 明 者 広 瀬 諭 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑰ 発 明 者 西 村 正 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑰ 発 明 者 須賀原 和之 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑰ 発 明 者 楠 茂 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑰ 出 願 人 工 業 技 術 院 長
最終頁に続く

明 細 書

1. 発明の名称

積層型半導体装置

2. 特許請求の範囲

(1) 半導体回路を立体的に配置してなる積層型半導体装置において、各回路を上下層に分離する絶縁膜中に平板状の導電体が設けられ、該平板状導電体はその電位が電源電位又は接地電位に固定されていることを特徴とする積層型半導体装置。

(2) 上記各平板状導電体は、その電位が最下段より交互に接地電位又は電源電位に固定されたものであり、各回路の電源電位又は接地電位を該各回路の上側又は下側の平板状導電体から得るようにしたことを特徴とする特許請求の範囲第1項記載の積層型半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、積層型半導体装置の構造に関するものである。

(従来の技術)

この種の従来装置として第3図に示すものがあった。これは、4層構造3次元回路素子の断面を示したものであり、この第3図において、31はp型シリコン基板、32はフィールド酸化膜、33、34はn型シリコン領域、35はゲート電極、36は絶縁膜、37は配線、38は層間絶縁膜、39は再結晶化されたp型シリコンである。また第3図において、各層の回路を総称してそれぞれ40、41、42、43と図のように示す。即ち40は第1層回路、41は第2層回路、42は第3層回路、43は第4層回路である。

また第4図は第3図に示した素子の回路図であり、図において、40～43は第3図と共通のものである。また、44は接地電位、45は電源電位をそれぞれ供給する配線である。

次に動作について説明する。

第3図に示した4層構造回路素子では、40、41、42、43で示される各層の回路素子が、独立又は相互に信号を授受しつつ、機能的な動作を行なう。この動作の一例を示すための回路図が

第4図であり、図において、第1層回路40はインバータを3段接続した回路、第2層回路41はダイナミック型シフトレジスタの一部、第3層回路42はNAND回路、第4層回路43はフォトダイオードとそのスイッチングトランジスタを示している。そしてこれらの回路に対して各層毎に、独立に電源電位45と接地電位44とを供給している。

(発明が解決しようとする問題点)

従来の3次元回路素子は以上のように構成されているので、上下に隣り合った回路間に、層間絶縁膜をキャパシタンスとする容量結合による信号のクロストークが存在するという問題があった。また、各層独立に電源電位、接地電位を供給するようにしているために配線の占める面積が大きく、それにより配線容量が大きくなって応答速度が遅くなったり、また表面段差が大きくなってその上に形成される素子の特性が悪くなったりするという問題があった。

この発明は、上記のような問題点を解消するた

めになされたもので、3次元回路における各層間の信号のクロストークを除去でき、かつ電源電位又は接地電位のための配線面積を低減化することのできる積層型半導体装置を得ることを目的としている。

(問題点を解決するための手段)

この発明に係る積層型半導体装置は、層間絶縁膜中に平板状の導電体を配置し、その電位を電源電位又は接地電位に固定し、さらに上記導電体を、その電位が下層から交互に接地電位又は電源電位となるように配置したものである。

(作用)

この発明においては、各層間の導電体の電位が固定されていることにより、その両側の層間の信号の不要なクロストークが完全に防止され、さらに、各層の回路の接地電位と電源電位とをその上下の導電体から得ることにより、各層回路毎に電位を設ける必要がなく、配線面積は大幅に削減する。

(実施例)

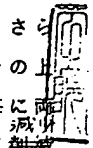
以下、この発明の一実施例を図について説明する。第1図において、31はp型シリコン基板、32はフィールド酸化膜、33、34はn型シリコン領域、35はゲート電極、36は絶縁膜、37は配線、38は層間絶縁膜、39は再結晶化されたp型シリコン、40～43は第1～第4層回路である。また、1～3は各層間に配置された平板状の導電体であり、この導電体1、2、3の材料としては、不純物を添加して低抵抗にしたポリシリコン、あるいはモリブデン、タングステン等の高融点金属を用いることができる。そしてこの各導電体1～3のそれぞれには、その上、下層の配線37が接続されている。

また、この素子の回路図の一例を第2図に示し、図において、40～43は第1図と同様の第1～第4層回路である。また4、6は接地電位、5、7は電源電位を供給する配線であり、4は第1図におけるp型シリコン基板31に、5は第1図における導電体1に、6、7はそれぞれ第1図の導電体2、3に対応している。このように、各導電

体1、2、3は、その電位がそれぞれ接地電位又は電源電位に固定されるとともに、それらの電位が下層から交互になるよう配置されている。

次に作用効果について説明する。

第1図では各層40、41、42、43はそれぞれ機能をもって動作を行っており、回路の一例として第2図に示したような構成が考えられる。第2図では、第1層回路40はインバータを3段接続した回路、第2層回路41はNOR回路、第3層回路42はNAND回路、第4層回路43はフォトダイオードとスイッチング用トランジスタを示している。各層の回路は、それぞれその動作のために電源電位と接地電位とを必要とするが、第1層回路40においては接地電位をp型シリコン基板31より、電源電位を導電体1より得ている。また第2層回路41では、接地電位を導電体2より、電源電位を導電体1より得ており、電源電位は第1層回路40と共通に得ていることになる。同様に、導電体2は第2層回路41及び第3層回路42に共通に基板電位を供給し、導電体3は



第3層回路42及び第4層回路43に共通に電源電位を供給している。

従ってこのような実施例によれば、各層回路毎に接地電位及び電源電位を供給していた従来の素子に比較し、配線面積を大幅に削減でき、配線容量の減少に伴う高速化を図ることができる。また表面段差が大きくなるのを防止することもでき、その上部の素子形成に悪影響を及ぼすのを著しく減少することができる。

また、上記導電体1, 2, 3はその電位が接地電位、又は電源電位に固定されているので、各層間の信号のクロストークを完全に阻止することができる。

なお、上記実施例ではNチャネルMOSトランジスタで各回路を構成しているが、PチャネルMOSトランジスタを合わせて用いてもよく、またPチャネルMOSトランジスタのみで構成してもよい。さらに、MOSトランジスタではなく、バイポーラトランジスタを用いて回路を構成した場合にも上記実施例と同様の効果を奏する。

また、上記実施例では4層構造の回路であるが、本発明は3次元回路の層数には関係なく、何層であっても同様の効果を奏する。

(発明の効果)

以上のように、この発明によれば、3次元回路素子の層間絶縁膜中に、電位を固定した導電体を配置したので、上下の層間の信号のクロストークが完全に阻止できる。また、上記導電体の電位を接地電位又は電源電位とするとともに、該各層間の導電体を、その電位が交互に接地電位、電源電位となるよう配置したので、各層の回路は、その上、下の導電体より、動作に必要なそれらの電位を得ることができ、従来に比し配線面積を大幅に軽減でき、回路の集積化に非常に有効となる効果がある。

4. 図面の簡単な説明

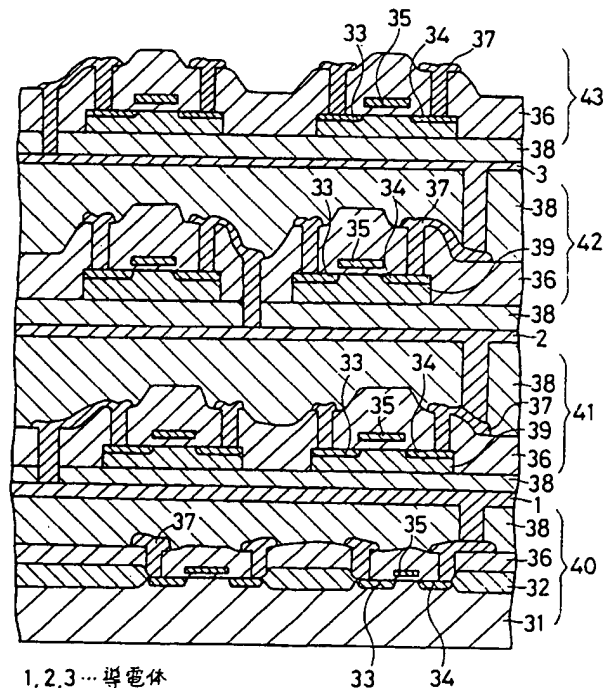
第1図はこの発明の一実施例による積層型半導体装置の断面構成図、第2図は第1図に対応する回路図、第3図は従来の積層型半導体装置の断面構成図、第4図は第3図に対応する回路図である。

1, 2, 3…平板状導電体、4, 6…接地電位、
5, 7…電源電位、38…層間絶縁膜、40～43…第1～第4層回路。

なお図中、同一符号は同一又は相当部分を示す。

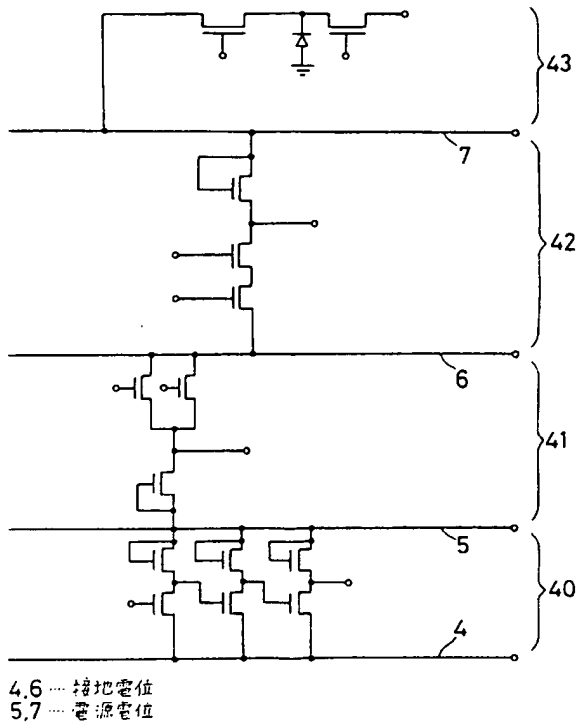
出願人 工業技術院長 等々力 達

第1図

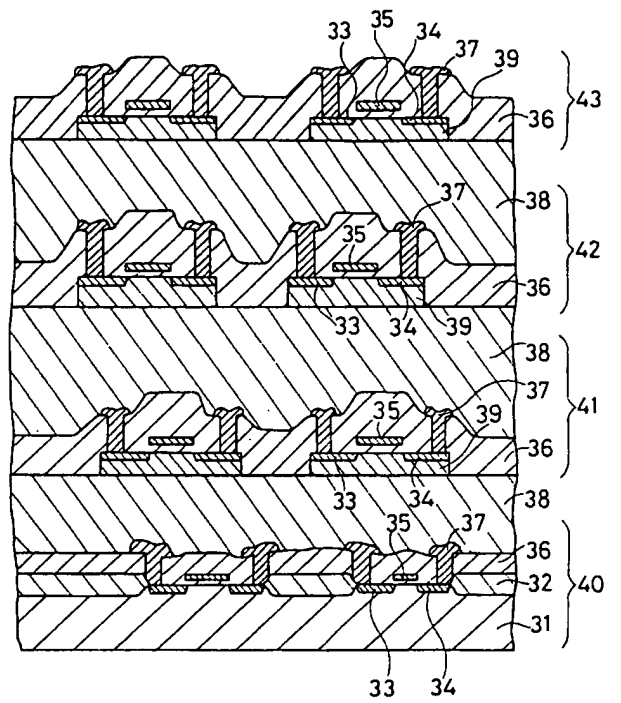


1, 2, 3…導電体
38…層間絶縁膜
40～43…第1～第4層回路

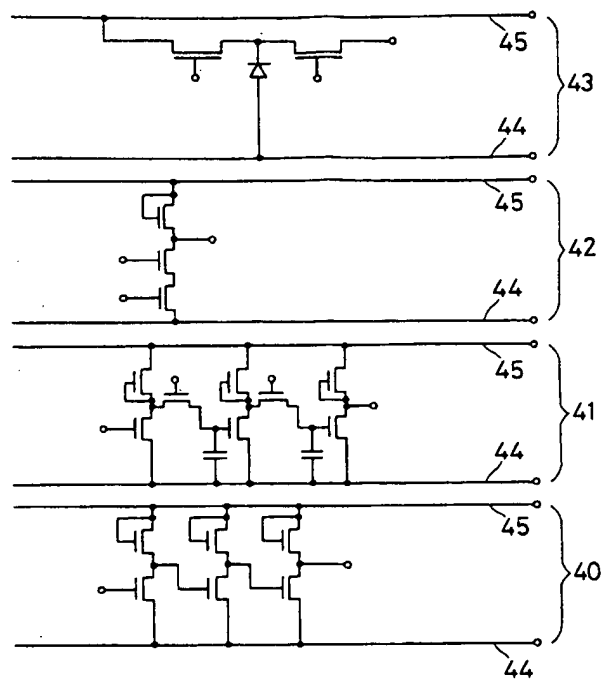
第 2 図



第 3 図



第 4 図



第1頁の続き

⑫発明者	中屋	雅夫	伊丹市瑞原4丁目1番地	三菱電機株式会社エル・エス・
			アイ研究所内	
⑬発明者	堀場	康孝	伊丹市瑞原4丁目1番地	三菱電機株式会社エル・エス・
			アイ研究所内	
⑭発明者	村上	謙二	伊丹市瑞原4丁目1番地	三菱電機株式会社エル・エス・
			アイ研究所内	